



CELIA LOPEZ-ONGIL

Generado desde: Universidad Carlos III de Madrid

Fecha del documento: 12/05/2019

v 1.4.0

Este fichero electrónico (PDF) contiene incrustada la tecnología CVN (CVN-XML). La tecnología CVN de este fichero permite exportar e importar los datos curriculares desde y hacia cualquier base de datos compatible. Listado de Bases de Datos adaptadas disponible en <http://cvn.fecyt.es/>

Resumen libre del currículum

Celia López Ongil received the Electronic Industrial Engineer from the Polytechnic University of Madrid (UPM), Madrid, Spain, in 1995. She earned a PhD in Digital Systems from Polytechnic University of Madrid (UPM), Spain, in February 2000. She is Associate Professor at Carlos III University of Madrid since 2010. She makes research in the Microelectronic Design and Applications Group and is member of the Gender Studies Institute of the Carlos III University of Madrid. In this sense, she heads the UC3M4Safety Multidisciplinary Team for Detecting, Preventing and Combating Violence against Women. Her research interests are: Cyberphysical Systems for Society Challenges, Hardware Acceleration, Design and Assessment of Radiation Hardened Circuits and Robust Sensor Networks. Dr. Celia López Ongil has more than 100 papers in journals/conferences and 4 book chapters. She belongs to the Program Committee of International On-line Testing Symposium and the Program Committee of the Design of Circuits and Integrated Systems Conference. She is reviewer on various international conferences and IEEE journals. She has taught in six different grades on Telecommunications and Electronic Programs as well as Security Engineering Degree for Spanish Guardia Civil. She has taught different subjects in Master and Doctorate Programs. She has held some management positions in the Electronic Technology Department, from 2009 to 2017. Also, she has been the Director of the Airbus-UC3M Center for collaboration in research and teaching activities. Dr. López Ongil has participated in several research projects in the topics of Fault Tolerance, Hardware Acceleration and Design Automation for VLSI Circuits, (8 funded by European Commission, 6 funded by Spanish Government and 2 funded by Madrid Community). She has been main researcher in two projects, in national and local funded projects. In collaboration with companies she has participated in more than 20 research and development projects, being the main researcher in two projects.

Dr. Celia López Ongil has participated in various aerospace projects. In terms of hardware design and development, she participated during her stay in Polytechnic University of Madrid, in the METOP satellite development, designing and developing the ASCAT Sequencer ASIC in collaboration with CRISA Company, under GAME European program. Also, at Carlos III University of Madrid she has participated in the ROSETTA spacecraft development, designing the Solar Array Drive Electronics-SADE ASIC, under Alcatel Space Company subcontract (now Thales Alenia Space Spain), and recently in DUST SENSOR instrument for Surface Platform in EXOMARS20 ESA Project (funded by Spanish Ministry of Economy and Competitiveness) in collaboration with the Infrared Laboratory of UC3M (LIR-UC3M) and National Institute of Aerospace Techniques (INTA). In terms of tools and added value to the design and development of electronic systems for aerospace, she has participated in projects aimed to provide solutions for digital circuits hardening and sensitivity assessing (AMATISTA (IST-1999-11762), PARACHUTE (MEDEA +2A701), OPTIMISE (CATRENE CA30), MAGERIT (CCG06-UC3M/ TIC-0705), RENASER (ESP2007-65914-C03-01), RENASER+ (TEC2010-22095-C03-03)). Since 2007 she is participating in an active collaboration with National Institute of Aerospace Techniques (INTA) in sensitivity assessing topics.

Dr. Celia López Ongil has recently driven the creation of UC3M4Safety, a multidisciplinary team for Detecting, Preventing and Combating Violence against Women with researchers from technological departments (Signal Theory and Communications, Telematics Engineering, Mechanical Engineering, Electronic Technology (from Carlos III University of Madrid) and Centre for Industrial Electronics (UPM)) and from social departments (Gender Studies Institute from Carlos III University of Madrid, composed of journalists, sociologist, lawyers, engineers, etc.). Currently, they are working in EMPATIA-CM synergic project (Y2018/TCS-5046)

**C****V****n**

CURRÍCULUM VITAE NORMALIZADO

CELIA LOPEZ-ONGIL

Apellidos: **LOPEZ-ONGIL**
Nombre: **CELIA**
Nacionalidad: **España**
País de nacimiento: **España**

Situación profesional actual

Entidad empleadora: **Universidad Carlos III de Madrid**
Departamento: **TECNOLOGIA ELECTRONICA, ESCUELA POLITECNICA SUPERIOR**
Categoría profesional: **TITULARES DE UNIVERSIDAD**
Fecha de inicio: **19/05/2010**

Modalidad de contrato: **Funcionaria**

Régimen de dedicación: **Tiempo completo**





Formación académica recibida

Titulación universitaria

Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

Titulación universitaria: **Titulado Superior**

Nombre del título: **Ingeniera Industrial. Intensificación Automática y Electrónica Industrial**

Entidad de titulación: **Universidad Politécnica de Madrid**

Fecha de titulación: **14/10/1995**

Doctorados

Programa de doctorado: **Doctora ingeniera industrial en Tecnologías Digitales**

Entidad de titulación: **Universidad Politécnica de Madrid**

Fecha de titulación: **21/02/2000**

Calificación: **SOBRESALIENTE CUM LAUDE**

Título de la tesis: **ESTRATEGIA DE VALIDACIÓN FUNCIONAL DE CIRCUITOS DIGITALES DESCRITOS EN VHDL SINTETIZABLE BASADA EN MODELOS DE ERROR**

Directora de tesis: **TERESA RIESGO ALCAIDE**

Conocimiento de idiomas

Idioma	Comprensión auditiva	Comprensión de lectura	Interacción oral	Expresión oral	Expresión escrita
Inglés	C2	C2	C2	C2	C2



Actividad Docente

Formación Académica Impartida

Celia López Ongil ha impartido alrededor de 3500 horas de docencia de teoría, y 1000 en docencia de laboratorio, en las titulaciones de Ingeniero Industrial Superior, Ingeniero de Telecomunicación Superior, Ingeniero Técnico en Electrónica Industrial e Ingeniero Técnico en Sistemas de Comunicaciones; así como en los nuevos Grados del Espacio Europeo de Educación Superior (Grado en Ingeniería en Electrónica Industrial y Automática, Grado en Ingeniería en Tecnologías Industriales, Grado en Ingeniería en Sistemas Audiovisuales, Grado en Ingeniería Telemática, Grado en Ingeniería de Sistemas de Comunicaciones, Grado en Ingeniería en Informática, Doble Grado en Administración de Empresas e Informática; así como el Grado en Ingeniería de la Seguridad en la Escuela de Oficiales de la Guardia Civil, en concierto con la Universidad Carlos III de Madrid). Así mismo, ha impartido docencia en los Másteres “Ingeniería de Sistemas Electrónicos y Aplicaciones”, máster de investigación de la UC3M, y “Master en Aircraft System Integration” concertado con Airbus Group. Entre las asignaturas que ha impartido, predominan las básicas relacionadas con Electrónica Digital, Electrónica Analógica, Microprocesadores, y las avanzadas como Microelectrónica, Robustez de Circuitos Digitales, Redes de Sensores, etc.

La profesora Celia López Ongil, ha impartido seminarios y tutoriales en cursos reglados de la Universidad de Sevilla (**Test de Circuitos Digitales; 2007**), en la Universidad de Las Palmas de Gran Canaria (**Design and Assessment of Fault Tolerant Circuits under Radiation Effects**), en el Centro de Electrónica Industrial de la Universidad Politécnica de Madrid (**Robust Digital Systems under Radiation Effects** en el Máster en "Industrial Electronics", durante los cursos 2014-2016-2017), y en el Politecnico di Torino, Máster en Computer Engineering y Máster en Electronics.

Finalmente, cabe destacar que la profesora Celia López Ongil ha participado en alrededor de una decena de proyectos de Innovación Docente y en varios cursos en abierto (Open Course Ware), tanto en inglés como en castellano, para las asignaturas básicas de Electrónica Digital y Electrónica Analógica, así como para asignaturas avanzadas, como Microelectrónica Digital.

Entre los Proyectos Fin de Carrera, Estudios Tecnológicos, Trabajos Fin de Grado y Trabajos Fin de Máster se ha tutorizado a alrededor de 50 estudiantes, que han alcanzado unas calificaciones medias de sobresaliente.

Dirección de trabajos de fin de máster más recientes

1 iGlove: Plataforma para el desarrollo de investigación sobre la detección de emociones

Entidad de realización: Universidad Carlos III de Madrid

Alumno/a: **MANUEL FELIPE CANABAL BENITO**

Calificación obtenida: **SOBRESALIENTE**

Fecha de defensa: 20/09/2017

2 Wireless network sensor design and development for secure environments

Entidad de realización: Universidad Carlos III de Madrid

Alumno/a: **JOSE ANGEL MIRANDA**

Calificación obtenida: **NOTABLE**

Fecha de defensa: 22/09/2016



3 Modelado del sistema de sensado y procesamiento de datos para el sensor Dust Sensor para la misión EXOMARS18

Entidad de realización: Universidad Carlo III de Madrid

Alumno/a: **ALEJANDRO COBO LÓPEZ**

Calificación obtenida: **SOBRESALIENTE**

Fecha de defensa: 20/07/2016

3 Aceleración Hardware de Test Estadísticos para Evaluación de Algoritmos

Entidad de realización: Universidad Carlo III de Madrid

Alumno/a: **ANNA VASKOVA**

Calificación obtenida: **MATRICULA DE HONOR**

Fecha de defensa: 01/10/2011

4 Metodología para la Evaluación de la Robustez de Circuitos Criptográficos frente Ataques Intencionados

Entidad de realización: Universidad Carlos III de Madrid

Alumno/a: **ALEJANDRO JIMENEZ HORAS**

Calificación obtenida: **MATRICULA DE HONOR**

Fecha de defensa: 01/10/2011



Dirección de tesis doctorales

1 Nueva metodología para el endurecimiento óptimo de sistemas digitales con distribución de la funcionalidad, trabajando en entornos sometidos a la radiación ionizante

Tipo de proyecto: Tesis Doctoral

Entidad de realización: Universidad Carlos III de Madrid

Alumno/a: **ANNA VASKOVA**

Calificación obtenida: **Sobresaliente Cum Laude**

Fecha de defensa: 19/07/2016

2 Técnicas de inyección de fallos basadas en FPGAs para la evaluación de la tolerancia a fallos de tipo SEU en circuitos digitales

Tipo de proyecto: Tesis Doctoral

Entidad de realización: Universidad Carlos III de Madrid

Alumno/a: **MARTA PORTELA-GARCIA**

Calificación obtenida: **Sobresaliente CUM LAUDE**

Fecha de defensa: 13/12/2007

Doctorado Europeo: Sí



Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas, más destacados

1 Nombre del proyecto: **Protección integral de las Víctimas de Violencia de Género mediante computación afectiva multimodal**

Ámbito geográfico: Regional

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP, Co-IP): CELIA LÓPEZ-ONGIL; ROSA SAN SEGUNDO

Nº de investigadores/as: 30

Entidad/es financiadora/s: COMUNIDAD DE MADRID

Cód. según financiadora: Y2018/TCS-5046, EMPATIA-CM

Fecha de inicio-fin: 01/01/2019 - 31/12/2021

Duración: 3 años

2 Nombre del proyecto: **PREVENCIÓN DE LA VIOLENCIA DE GÉNERO: UN ENFOQUE TECNOLÓGICO Y MULTIDISCIPLINAR**

Ámbito geográfico: Institución

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP): CELIA LÓPEZ-ONGIL

Nº de investigadores/as: 24

Entidad/es financiadora/s: CONSEJO SOCIAL DE LA UNIVERSIDAD CARLOS III DE MADRID

Cód. según financiadora: 2019/00064/001

Fecha de inicio-fin: 01/01/2019 – 31/12/2019

Duración: 1 año

3 Nombre del proyecto: **Ciencia y Tecnología para la caracterización in-situ de la atmósfera de Marte. Desarrollo del instrumento DUST sensor para la misión EXOMARS18 de ESA/IKI. Fases A/B y C/D**

Ámbito geográfico: Nacional

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP, Co-IP): A. J. de CASTRO; F. LOPEZ MARTINEZ

Nº de investigadores/as: 6

Entidad/es financiadora/s: MINISTERIO DE ECONOMIA, INDUSTRIA Y COMPETITIVIDAD

Cód. según financiadora: ESP2015-67624-R

Fecha de inicio-fin: 01/01/2016 - 30/09/2019

Duración: 3 años - 9 meses

4 Nombre del proyecto: **Análisis integral de circuitos y sistemas digitales para aplicaciones aeroespaciales, subproyecto "Diseño y verificación de sistemas digitales robustos"**

Ámbito geográfico: Nacional

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP): CELIA LOPEZ-ONGIL

Nº de investigadores/as: 12

Entidad/es financiadora/s: MINISTERIO DE CIENCIA E INNOVACION

Cód. según financiadora: TEC2010-22095-C03-03

Fecha de inicio-fin: 01/01/2011 - 30/09/2014

Duración: 3 años - 9 meses



- 5** Nombre del proyecto: **Apolo-participación española en el proyecto OPTIMISE**
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): L. ENTRENA
Nº de investigadores/as: 7
Entidad/es financiadora/s: MINISTERIO DE INDUSTRIA, ENERGIA Y TURISMO / MINISTERIO INDUSTRIA, TURISMO Y COMERCIO
Cód. según financiadora: TSI-020400-2010-53/ TSI-020400-2009-17
Fecha de inicio-fin: 18/02/2010 - 31/12/2012 Duración: 2 años - 7 meses - 25 días
- 6** Nombre del proyecto: **Efectos de radiación sobre semiconductores en sistemas aeroespaciales, investigación sobre emulación. (Emulación Autónoma).**
Ámbito geográfico: Nacional
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): L. ENTRENA
Nº de investigadores/as: 8
Entidad/es financiadora/s: MINISTERIO DE EDUCACION Y CIENCIA SEC. DE ESTADO DE UNIVERSIDADES E INVEST.
Cód. según financiadora: ESP2007-65914-C03-01
Fecha de inicio-fin: 01/10/2007 - 31/12/2010 Duración: 3 años - 3 meses
- 7** Nombre del proyecto: **CIRCE, Contribución española al proyecto PARACHUTE (MEDEA+ 2A701)**
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): L. ENTRENA
Nº de investigadores/as: 4
Entidad/es financiadora/s: MINISTERIO DE ENERGIA, TURISMO Y AGENDA DIGITAL
Cód. según financiadora: TSI-020400-2008-22/ FIT-330100-2006-92
Fecha de inicio-fin: 01/01/2005 - 31/03/2009 Duración: 1 año - 3 meses
- 8** Nombre del proyecto: **BIOSEC:"Biometrics and Security"**
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): R. SANCHEZ REILLO
Nº de investigadores/as: 14
Entidad/es financiadora/s: COMISION EUROPEA DIRECTORATE-GENERAL INFORMATION SOCIETY
Cód. según financiadora: FP6-IST-001766
Fecha de inicio-fin: 01/12/2003 - 30/11/2005 Duración: 2 años
- 9** Nombre del proyecto: **Eepoch: European Smart Card Charter proof of concept and holistic solution**
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): R. SANCHEZ REILLO
Nº de investigadores/as: 10
Entidad/es financiadora/s: COMISION EUROPEA DIRECTORATE-GENERAL INFORMATION SOCIETY
Cód. según financiadora: FP5-IST-2001-37936
Fecha de inicio-fin: 01/11/2002 - 31/12/2004 Duración: 2 años - 2 meses

10 Nombre del proyecto: **Sistemas de Computación Reconfigurable en FPGAs. Aplicación a emulación hardware de fallos transitorios.**

Ámbito geográfico: Regional

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP): CELIA LOPEZ-ONGIL

Nº de investigadores/as: 17

Entidad/es financiadora/s: COMUNIDAD DE MADRID

Cód. según financiadora: 07T/0052/2003 2

Fecha de inicio-fin: 01/10/2003 - 30/09/2004

Duración: 1 año

11 Nombre del proyecto: **AMATISTA: Automatic Tool for Insertion and Simulation of Fault tolerant architectures**

Entidad de realización: Universidad Carlos III de Madrid

Nombres investigadores principales (IP): L. ENTRENA

Nº de investigadores/as: 6

Entidad/es financiadora/s: COMISION EUROPEA RESEARCH DIRECTORATE-GENERAL

Cód. según financiadora: FP5-IST-1999-11762

Fecha de inicio-fin: 01/05/2000 - 31/10/2002

Duración: 2 años - 6 meses

12 Nombre del proyecto: **TOMI. Tools for OMI**

Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID

Nombres investigadores principales (IP): JAVIER UCEDA ANTOLÍN

Nº de investigadores/as: 2

Entidad/es financiadora/s: COMISION EUROPEA

Fecha de inicio-fin: 01/05/1996 - 01/05/1999

Duración: 3 años

13 Nombre del proyecto: **SENDA (Biblioteca VME y ASIC para sensor de ultrasonidos)**

Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID

Nombres investigadores principales (IP): JAVIER UCEDA ANTOLÍN

Nº de investigadores/as: 2

Entidad/es financiadora/s: COMISION EUROPEA

Fecha de inicio-fin: 01/06/1994 - 01/06/1996

Duración: 2 años

14 Nombre del proyecto: **ASCAT-Sequencer ASIC. Diseño y desarrollo de ASIC para el instrumento ASCAT del satélite METOP de la ESA**

Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID

Nombres investigadores principales (IP): JAVIER UCEDA ANTOLÍN

Nº de investigadores/as: 2

Entidad/es financiadora/s: COMISION EUROPEA

Fecha de inicio-fin: 01/10/1994 - 01/10/1995

Duración: 1 año

15 Nombre del proyecto: **OMIDIS. (OMI Dissemination)**

Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID

Nombres investigadores principales (IP): JAVIER UCEDA ANTOLÍN

Nº de investigadores/as: 2

Entidad/es financiadora: COMISION EUROPEA

Fecha de inicio-fin: 01/05/1994 - 01/06/1995

Duración: 1 año - 1 mes



Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas, más destacados.

- 1 Nombre del proyecto: **H2020s SME Instrument GaSeS project, SENSIA**
Ámbito geográfico: Autonómica
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): F. LOPEZ MARTINEZ
Nº de investigadores/as: 18
Entidad/es financiadora/s: SENSIA-SOLUTIONS S.L.
Fecha de inicio: 22/02/2018 Duración: 10 meses - 30 días
- 2 Nombre del proyecto: **Contrato entre la UC3M y Sensia Solutions para la creación de la Cátedra Sensia en teledetección e imagen en el infrarrojo**
Ámbito geográfico: Autonómica
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): F. LOPEZ MARTINEZ
Nº de investigadores/as: 17
Entidad/es financiadora/s: SENSIA-SOLUTIONS S.L.
Fecha de inicio: 01/10/2017 Duración: 4 años
- 3 Nombre del proyecto: **Desarrollo de módulo para el manejo de memoria Flash desde FPGA**
Ámbito geográfico: Autonómica
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): M. PORTELA-GARCIA
Nº de investigadores/as: 3
Entidad/es financiadora/s: SEPSA ELECTRONICA DE POTENCIA, S.L.U.
Fecha de inicio: 02/07/2012 Duración: 4 meses
- 4 Nombre del proyecto: **Software ModCoupler - Mantenimiento**
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP, Co-IPs): A. BARRADO; A. LAZARO; M. GARCIA-VALDERAS
Nº de investigadores/as: 16
Entidad/es financiadora/s: VARIOS SERVICIOS TERCEROS DE
Fecha de inicio: 06/08/2009 Duración: 10 años
- 5 Nombre del proyecto: **Diseño VHDL de Componente 8279**
Ámbito geográfico: Otros
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): E. SAN MILLAN
Nº de investigadores/as: 5
Entidad/es financiadora/s: SOCIEDAD ESPAÑOLA DE ELECTROMEDICINA CALIDAD S. A.
Fecha de inicio: 06/03/2007 Duración: 6 meses



- 6 Nombre del proyecto: **Aplicación para Test de CPLD Coolrunner-II**
Ámbito geográfico: Nacional
Grado de contribución: Investigador/a
Nombres investigadores principales (IP, Co-IP,...): CELIA LOPEZ-ONGIL
Nº de investigadores/as: 4
Entidad/es financiadora/s: INSTITUTO NACIONAL DE TECNICA AEROESPACIAL (INTA)
Cód. según financiadora: Expediente.: 2006/1497
Fecha de inicio: 18/06/2006 Duración: 6 meses
- 7 Nombre del proyecto: **Diseño de un Convertidor CC-CC de 100kW-100kHz para Equipo de Rayos X**
Ámbito geográfico: Autonómica
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): A. LAZARO.
Nº de investigadores/as: 8
Entidad/es financiadora/s: UNIVERSIDAD POLITECNICA DE MADRID
Fecha de inicio: 01/03/2006 Duración: 8 meses
- 8 Nombre del proyecto: **Desarrollo de Periféricos para Interfaz de Comunicaciones con Microprocesador 8031.**
Ámbito geográfico: Nacional
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): CELIA LOPEZ-ONGIL
Nº de investigadores/as: 4
Entidad/es financiadora/s: THYSENKRUPP ELEVADORES
Fecha de inicio: 01/09/2004 Duración: 6 meses - 14 días
- 9 Nombre del proyecto: **Servicios Tecnológicos.**
Ámbito geográfico: Nacional
Grado de contribución: Investigador/a
Entidad de realización: Universidad Carlos III de Madrid
Nombres investigadores principales (IP): L. ENTRENA
Nº de investigadores/as: 3
Entidad/es financiadora/s: THALES ALENIA SPACE ESPAÑA, S.A.
Fecha de inicio: 24/01/1999 Duración: 4 años

Actividades científicas y tecnológicas

Producción científica

Publicaciones, documentos científicos y técnicos, más destacados.

- 1** J.M. AREVALO GARBAYO; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA.
A method to assess the robustness of cryptographic circuits at the design stage.
MICROELECTRONICS JOURNAL. 45/10, pp. 1354 - 1360. (Reino Unido): 10/2014. ISSN 0026-2692
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 2** L. MENGIBAR-POZO; M. G. LORENZ; CELIA LOPEZ-ONGIL; L. ENTRENA.
Low-Power Design in Aerospace Circuits: A Case Study.
IEEE AEROSPACE AND ELECTRONIC SYSTEMS MAGAZINE. 28/12, pp. 46 - 52. (Estados Unidos de América): 12/2013. ISSN 0885-8985
DOI: <https://doi.org/10.1109/MAES.2013.6693668>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 3** A. VASKOVA; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA.
SEU Sensitivity Comparison for Different Reprogrammable Technologies with Minority Check Block.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 60/4, pp. 2813 - 2818. (Estados Unidos de América): 08/2013. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2013.2245343>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 4** M. PORTELA-GARCIA; LINDOSO, A.; L. ENTRENA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; N. MARRONI; B. PIANTA; L. BOLZANI POEHLS; F. VARGAS.
Evaluating the Effectiveness of a Software-Based Technique Under SEEs Using FPGA-Based Fault Injection Approach.
JOURNAL OF ELECTRONIC TESTING-THEORY AND APPLICATIONS. 28/6, pp. 777 - 789. (Estados Unidos de América): 12/2012. ISSN 0923-8174
DOI: <https://doi.org/10.1007/s10836-012-5321-4>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 5** M. PORTELA-GARCIA; M. GROSSO; M. GALLARDO CAMPOS; M. SONZA REORDA; L. ENTRENA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL.
On the use of embedded debug features for permanent and transient fault resilience in microprocessors.
MICROPROCESSORS AND MICROSYSTEMS. 36/5, pp. 334 - 343. (Holanda): 07/2012. ISSN 0141-9331
DOI: <https://doi.org/10.1016/j.micpro.2012.02.013>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 6** L. ENTRENA; M. GARCIA-VALDERAS; RAUL FERNANDEZ CARDENAL; LINDOSO, A.; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL.
Soft Error Sensitivity Evaluation of Microprocessors by Multilevel Emulation-Based Fault Injection.
IEEE TRANSACTIONS ON COMPUTERS. 61/3, pp. 313 - 322. (Estados Unidos de América): 03/2012. ISSN 0018-9340
DOI: <https://doi.org/10.1109/TC.2010.262>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**

- 7 M. PORTELA-GARCIA; M. GARCIA-VALDERAS; E. SAN MILLAN; CELIA LOPEZ-ONGIL; L. ENTRENA; Alberto Martín-Ortega; Jose Ramón de Mingo; Santiago Rodríguez.
Sensitivity Evaluation Method for Aerospace Digital Systems with Collaborative Hardening.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 58/3, pp. 1053 - 1058. (Estados Unidos de América): 06/2011. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2011.2109397>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 8 L. ENTRENA; LINDOSO, A.; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL.
Analysis of SET effects in a PIC microprocessor for selective hardening.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 58/3, pp. 1078 - 1085. (Estados Unidos de América): 06/2011. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2010.2096433>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 9 M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA.
Fault Injection in Modern Microprocessors Using On-Chip Debugging Infrastructures.
IEEE Transactions on Dependable and Secure Computing. 8/2, pp. 308 - 314. (Estados Unidos de América): 03/2011. ISSN 1545-5971
DOI: <https://doi.org/10.1109/TDSC.2010.50>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 10 M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA.
Extensive SEU Impact Analysis of a PIC Microprocessor for Selective Hardening.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 57/4, pp. 1986 - 1991. (Estados Unidos de América): 01/06/2010. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2009.2039581>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 11 L. ENTRENA; M. GARCIA-VALDERAS; R. FERNANDEZ CARDENAL; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL.
SET Emulation Considering Electrical Masking Effects.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 56/4, pp. 2015 - 2021. (Estados Unidos de América): 10/08/2009. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2009.2013346>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 12 M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA; B. LESTRIEZ; L. BERROJO.
Analysis of Turbo Decoder Robustness Against SEU Effects.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 56/4, pp. 2184 - 2188. (Estados Unidos de América): 08/2009. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2009.2018270>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**



- 13** M. GARCIA-VALDERAS; L. ENTRENA; R. FERNANDEZ CARDENAL; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA
SET Emulation under a Quantized Delay Model.
JOURNAL OF ELECTRONIC TESTING-THEORY AND APPLICATIONS. 25/1, pp. 107 - 116. (Estados Unidos de América): 02/2009. ISSN 0923-8174
DOI: <https://doi.org/10.1007/s10836-008-5081-3>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 14** M. GARCIA-VALDERAS; P PERONNARD; CELIA LOPEZ-ONGIL; R ECOFFET; F BEZERRA; R VELAZCO.
Two Complementary Approaches for Studying the Effects of SEUs on Digital Processors.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 54/4, pp. 924 - 928. (Estados Unidos de América): 08/2007. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2007.893871>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 15** L. ENTRENA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; MIGUEL AGUIRRE; J TOMBS; V BAENA; F MUÑOZ.
A Unified Environment for Fault Injection at Any Design Level Based on Emulation.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 54/4 (Part 2), pp. 946 - 950. (Estados Unidos de América): 06/2007. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2007.904078>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 16** CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; L. ENTRENA.
Autonomous fault Emulation: A New FPGA-Based Acceleration System for Hardness Evaluation.
IEEE TRANSACTIONS ON NUCLEAR SCIENCE. 54/1, pp. 252 - 261. (Estados Unidos de América): 02/2007. ISSN 0018-9499
DOI: <https://doi.org/10.1109/TNS.2006.889115>
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 17** CELIA LOPEZ-ONGIL; R. SANCHEZ REILLO; J. LIU JIMENEZ; F. CASADO; L. SÁNCHEZ; L. ENTRENA.
FPGA Implementation of Biometric Authentication System Based on Hand Geometry.
Lecture notes in computer science. 3203, pp. 43 - 53. (Alemania): 01/09/2004. ISSN 0302-9743
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 18** E. SAN MILLAN; L. ENTRENA; J. A. ESPEJO; CELIA LOPEZ ONGIL.
Theoretical comparison between sequential redundancy addition and removal and retiming optimization techniques.
JOURNAL OF SYSTEMS ARCHITECTURE. 49 (2003), pp. 529 - 541. (Holanda): 01/11/2003. ISSN 1383-7621
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**
- 19** J.A. ESPEJO; L. ENTRENA; E.S. MILLÁN; CELIA LOPEZ ONGIL.
Generalized Reasoning Scheme for Redundancy Addition and Removal.
IEICE TRANSACTIONS ON FUNDAMENTALS OF ELECTRONICS COMMUNICATIONS AND COMPUTER SCIENCES. E84-A, N°11, pp. 2665 - 2672. (Japón): 01/01/2001. ISSN 1745-1337
Tipo de producción: **Artículo científico** Tipo de soporte: **Revista**



Capítulos de Libro

- 1** L. ENTRENA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; M. NICOLAIDIS.
Capítulo *Hardware Fault Injection*. pp. 141 - 166.
En Libro: Soft Errors in Modern Electronic Systems.
Editor: Michael Nicolaidis
Estados Unidos de América. SPRINGER, 01/11/2010. ISBN 978-1-4419-6992-7
Tipo de producción: **Capítulo de libro** Tipo de soporte: **Libro**
- 2** CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS,
Capítulo: *Automatic Tools for Design Hardening*. pp. 183 - 200.
En libro: Radiation Effects on Embedded Systems.
Editores: Velazco, Raoul, Fouillat, Pascal, Reis, Ricardo.
Holanda. SPRINGER, 05/2007. ISBN 1-4020-5645-1
Tipo de producción: **Capítulo de libro** Tipo de soporte: **Libro**
- 3** CELIA LOPEZ-ONGIL; T. RIESGO; Y. TORROJA; J. UCEDA; L. ENTRENA.
Capítulo: *Application of VHDL Features for Optimization of Functional Validation Quality Measurement*.
pp. 13 - 24
En Libro: System-On-Chip Methodologies & Design Languages.
Editores: Ashenden, Peter J., Mermet, Jean, Seepold, Ralf.
Springer Science + Business Media, New York. 06/2006. ISBN 978-1-4419-4901-1
Tipo de producción: **Capítulo de libro** Tipo de soporte: **Libro**
- 4** F. CORNO; L. ENTRENA; CELIA LOPEZ-ONGIL; M. SONZA REORDA; G. SQUILLERO.
Capítulo: *New acceleration Techniques for Simulation-Based Fault Injection*. pp. 217 - 230.
En libro: Fault Injection Techniques and tools for VLSI Reliability Evaluation.
Editores: A. Benso, P. Prineto.
Boston, MA (USA). Springer Verlag. 01/06/2003. ISBN 978-1-4020-7589-6.
Tipo de producción: **Capítulo de libro** Tipo de soporte: **Libro**

Trabajos presentados en congresos nacionales o internacionales, más relevantes.

- 1. *Meaningful Data Treatment from Multiple Physiological Sensors in a Cyber-Physical System***
Nombre del congreso: **Design of Circuits and Integrated Systems (DCIS) 2017**
BARCELONA, España, 22/11/2017
J.A. MIRANDA CALERO; M.F. CANABAL BENITO; J. M. LANZA; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; T. RIESGO
- 2. *On-line Testing of Sensor Networks: A Case Study***
Nombre del congreso: **International On-line Testing Symposium. 2017**
Tesalonika, Grecia, 03/07/2017
J.A. MIRANDA; A. VASKOVA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL.
2014 IEEE Computer Society. DOI: <https://doi.org/10.1109/DCIS.2014.703558>
- 3. *About the Functional Test of Permanent Faults in Distributed Systems***
Nombre del congreso: **Design of Digital Circuits and Integrated Systems. DCIS. 2015**
ESTORIL, Portugal, 25/11/2015.
A. VASKOVA; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; E. SANCHEZ; M.SONZA-REORDA.
"2015 Conference on Design of Circuits and Integrated Systems (DCIS) IEEE Service Center,
DOI: 10.1109/DCIS.2015.7388571
- 4. *Verifying hardening techniques for distributed electronic systems in critical applications***
Nombre del congreso: **15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2015**
Moscow, Rusia. 14/09/2015
A. VASKOVA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; Y. MORILLA; G. MUNIZ.
DOI: <https://doi.org/10.1109/RADECS.2015.7365695>
- 5. *Assesing SET Sensitivity of PLL***
Nombre del congreso: **Conference on Design of Circuits and Integrated Systems**
MADRID, España, 26/11/2014
M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA; G. THYS; S. REDANT.
- 6. *Effect of ionizing radiation on TRNGs for safe telecommunications: robustness and randomness***
Nombre del congreso: **IEEE 20th International On-Line Testing Symposium (IOLTS)**
PLATJA D'ARO, España, 07/07/2014
H. MARTIN GONZALEZ; A. VASKOVA; CELIA LOPEZ-ONGIL; E. SAN MILLAN; M. PORTELA-GARCIA
- 7. *Tolerance of LIN bus protocol to permanent faults***
Nombre del congreso: **IEEE 20th International On-Line Testing Symposium (IOLTS)**
PLATJA D'ARO, España, 07/07/2014
A. VASKOVA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; M. SONZA REORDA.
- 8. *Reducing SEU sensitivity in LIN networks: selective and collaborative hardening techniques***
Nombre del congreso: **15th IEEE Latin-American Test Workshop (LATW)**
Fortaleza, Brasil, 12/03/2014
A. VASKOVA; A. FABREGAT; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. SONZA REORDA.

9 C-Element model for SET fault emulation

Nombre del congreso: **14th Radiation Effects on Components and Systems (RADECS 2013)**

Oxford, Reino Unido 23/09/2013

J.M. AREVALO GARBAYO; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA.

2013 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS)". IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4673-5057-0

DOI: <https://doi.org/10.1109/RADECS.2013.6937389>

10 Hardening of serial communication protocols for potentially critical systems in automotive applications: LIN bus

Nombre del congreso: **19 th IEEE International On-line Testing Symposium (IOLTS 2013)**

Chania, Crete (Greece), Grecia, 08/07/2013

A. VASKOVA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; M. SONZA REORDA.

ISBN 978-1-4799-0664-2

DOI: <https://doi.org/10.1109/IOLTS.2013.6604044>

11 FPGA-based implementation for steganalysis: a JPEG-compatibility algorithm

Nombre del congreso: **SPIE 2013 Microtechnologies. VI Conference on VLSI Circuits and Systems.**

Grenoble, Francia, 24/04/2013

E. GUTIERREZ FERNANDEZ; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS

"VLSI Circuits and Systems VI". 8764, SPIE- ISBN 978-0-8194-9561-7.

DOI: <https://doi.org/10.1117/12.2017476>

12 Hardening digital systems with distributed functionality: robust networks

Nombre del congreso: **2013 SPIE Microtechnologies. VLSI Circuits and Systems VI**

Grenoble, France, Francia, 24/04/2013

A. VASKOVA; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; J. PORTILLA; J. VALVERDE; E. DE LA TORRE; T. RIESGO.

VLSI Circuits and Systems VI". SPIE- THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING, ISBN 9780819495617

DOI: <https://doi.org/10.1117/12.2017474>

13 A method to assess the robustness of cryptographic circuits at the design stage

Nombre del congreso: **27th Conference on Design of Circuits and Integrated Systems (DCIS 2012)**

AVIGNON, Francia, 28/11/2012

J.M. AREVALO GARBAYO; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA.

Microelectronics Journal. DCIS'12 Special Issue". 45, pp. 1354 - 1360. ELSEVIER B.V.,

DOI: <https://doi.org/10.1016/j.mejo.2013.12.012>

14 SET Fault Injection Attacks on a Hardware Implementation of the SHA Cypher

Nombre del congreso: **XXVII Design of Circuits and Integrated Systems (DCIS 2012)**

AVIGNON, Francia, 28/11/2012

J.M. AREVALO GARBAYO; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA.

15 *SEU Sensitivity Comparison for Different Reprogrammable Technologies with Minority Check Block*

Nombre del congreso: **Conference on Radiation and its Effects on Components and Systems (RADECS 2012)**

Biarritz, Francia, 24/09/2012

A. VASKOVA; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA.

IEEE Transactions on Nuclear Science". 60, pp. 2813 - 2818. IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 0018-9499

DOI: <https://doi.org/10.1109/TNS.2013.2245343>

16 *SEU Sensitivity of Robust Communication Protocols*

Nombre del congreso: **18th International On-Line Testing Symposium (IOLTS 2012)**

SITGES, España, 27/06/2012

CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; A. VASKOVA; L. ENTRENA; J. RIVAS ABALO; A. MARTÍN ORTEGA; J. MARTINEZ OTER; S. RODRIGUEZ BUSTABAD; I. ARRUEGO.

"Proceedings 2012 IEEE 18th International On-Line Testing Symposium (IOLTS)". pp. 188 - 193. IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4673-2082-5

17 *A Recovery Mechanism for SET Protection Using Standard-Cells*

Nombre del congreso: **2011 12th European Conference on Radiation and Its Effects on Components and Systems (RADECS)**

SEVILLA, España, 19/09/2011

J.M. AREVALO GARBAYO; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA

"Proceedings of the 2011 12th European Conference on Radiation and Its Effects on Components and Systems (RADECS)". pp. 128 - 131. IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4577-0585-4

18 *Study on the Effect of Multiple Errors in Robust Systems Based on Critical Task Distribution*

Nombre del congreso: **2011 12th European Conference on Radiation and Its Effects on Components and Systems (RADECS)**

SEVILLA, España, 19/09/2011

A. VASKOVA; CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; A. MARTÍN ORTEGA; J.R. DE MINGO; S. RODRÍGUEZ.

"Proceedings of the 2011 12th European Conference on Radiation and Its Effects on Components and Systems (RADECS)". pp. 463 - 466. IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4577-0585-4

19 *Accelerating Secure Circuit design with Hardware Implementation of Diehard Battery of Tests of Randomness*

Nombre del congreso: **17th International On-Line Testing Symposium (IOLTS)**

ATENAS, Grecia, 13/07/2011

A. VASKOVA; CELIA LOPEZ-ONGIL; E. SAN MILLAN; A. JIMENEZ HORAS; L. ENTRENA.

"Proceedings 2011 IEEE 17th International On-Line Testing Symposium (IOLTS)". pp. 179 - 181. IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4577-1056-8

20 *Evaluation Techniques for On-Line Testing of Robust Systems Based on Critical Tasks Distribution*

Nombre del congreso: **17th International On-Line Testing Symposium**
ATENAS, Grecia, 13/07/2011

A. VASKOVA; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA.

"Proceedings 2011 IEEE 17th International On-Line Testing Symposium (IOLTS), IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, 2011. ISBN: 978-1-4577-1056-8 (pp-258-263)". IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC,

21 *Using an FPGA-Based Fault Injection Technique to Evaluate Software Robustness Under SEEs: A Case Study*

Nombre del congreso: **12th Latin American test Workshop (LATW 2011)**
PORTO DE GALINHAS, Brasil, 27/03/2011

M. PORTELA-GARCIA; LINDOSO, A.; L. ENTRENA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; B. PIANITA; L. B. POELHS; F. VARGAS.

"Proceedings 2011 12th Latin American Test Workshop (LATW)". IEEE - THE INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, INC, ISBN 978-1-4577-1489-4

22 *Enhanced Observability in Microprocessors-based Systems for Permanent and Transient Fault Resilience*

Nombre del congreso: **Design of Integrated Circuits and Systems Conference**
LANZAROTE (VALLESECO), España, 11/2010

M. GALLARDO CAMPOS; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA; M. GROSSO; M. SONZA REORDA.

23 *Analysis of SET effects in a PIC microprocessor for selective hardening*

Nombre del congreso: **Radiation Effects on Components and Systems Workshop (RADECS)**
Austria 09/2010

CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; A. LINDOSO.

24 *Sensitivity Evaluation Method for Aerospace Digital Systems with Collaborative Hardening*

Nombre del congreso: **Radiation Effects on Components and Systems Workshop (RADECS)**
AUSTRIA, 09/2010

CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; A. MARTÍN-ORTEGA; J.R. DE MINGO; S. RODRÍGUEZ.

25 *An On-line Fault Detection Technique based on Embedded Debug Features*

Nombre del congreso: **15th International On-Line Testing Symposium (IOLTS;10)**
Corfú, Grecia.05/07/2010

M. GROSSO; M. SONZA REORDA; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA; CELIA LOPEZ-ONGIL. pp. 166 - 167.

26 *Robust Cryptographic Ciphers with On-line Statistical Properties Validation*

Nombre del congreso: **15th International On-Line Testing Symposium**
CORFU, Grecia, 01/07/2010

A. VASKOVA; CELIA LOPEZ-ONGIL; A. JIMENEZ HORAS; E. SAN MILLAN; L. ENTRENA.

- 27** *An On-line Fault Detection Technique based on Embedded Debug Features*
Nombre del congreso: **15th International On-Line Testing Symposium (IOLTS'10)**
CORFU, Grecia, 07/2010
M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA; M. GROSSO; M. SONZA REORDA.
- 28** *Co-simulation PSIM-ModelSim oriented to digitally controlled switching power converters*
Nombre del congreso: **IEEE COMPEL 2010**
BOULDER, Estados Unidos de América, 28/06/2010
ZUMEL, P.; M. GARCIA-VALDERAS; LAZARO, A.; CELIA LOPEZ-ONGIL; BARRADO, A.
- 29** *Simulación mixta Modelsim-PSIM orientada al diseño de controles digitales para electrónica de potencia*
Nombre del congreso: **XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación SAAEI;10**
BILBAO, España, 01/06/2010
ZUMEL, P.; M. GARCIA-VALDERAS; LAZARO, A.; CELIA LOPEZ-ONGIL; BARRADO, A.
pp. 707 - 712. ISBN 978-84-95809-75-9
- 30** *Extensive SEU impact analysis of a PIC microprocessor for selective hardening*
Nombre del congreso: **Radiation Effects on Components and Systems Workshop (RADECS)**
BRUJAS, Bélgica, 09/2009
M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA.
- 31** *Fast SER Evaluation of Embedded RAMs in Fault Emulation Systems*
Nombre del congreso: **Radiation Effects on Components and Systems Workshop (RADECS)**
BRUJAS, Bélgica. 09/2009
M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; E. SAN MILLAN; L. ENTRENA.
- 32** *In-depth analysis of digital circuits against soft errors for selective hardening*
Nombre del congreso: **15th International On-Line Testing Symposium (IOLTS'09)**
LISBOA, Portugal, 09/2009
M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA; M. PORTELA-GARCIA
- 33** *Pseudo-random number generation applied to robust modern cryptography: A new technique for block ciphers*
Nombre del congreso: **15th International On-Line Testing Symposium (IOLTS'09)**
SESIMBRA, Portugal, 09/2009
A. JIMENEZ HORAS; E. SAN MILLAN; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA.
- 34** *Briefing power/reliability optimization in embedded software design*
Nombre del congreso: **15th International On-Line Testing Symposium (IOLTS'09)**
SESIMBRA, Portugal, 06/2009
F. VARGAS; C. A. ROCHA; B.. PIANITA; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA.
- 35** *Study of SEU effects in a Turbo Decoder Bit Error Rate*
Nombre del congreso: **10th Latin American Test Workshop**
BUZIOS, Brasil, 06/2009
M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA; B. LESTRIEZ; L. BERROJO.

- 36** *A New Approach to Accelerate SEU Sensitivity Evaluation in Circuits with Embedded Memories*
Nombre del congreso: **VLSI Circuits and Systems IV. Microtechnologies for the New Millennium 2005 (VLSI Circuits and Systems II), SPIE**
DRESDEN, Alemania, 05/2009
M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA; CELIA LOPEZ-ONGIL.
- 37** *Advanced Simulation and Emulation Techniques for SET Fault Injection*
Nombre del congreso: **XXIII Conference on Design of Circuits and Integrated Systems (DCIS)**
GRENOBLE, Francia, 12/11/2008
M. GARCIA-VALDERAS; M. PORTELA-GARCIA; R. FERNÁNDEZ; CELIA LOPEZ-ONGIL; L. ENTRENA
- 38** *Redundancia temporal configurable para algoritmos criptográficos robustos*
Nombre del congreso: **Jornadas de Computación Reconfigurable (JCRA)**
MADRID, España, 18/09/2008
A. JIMENEZ HORAS; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; SAN MILLAN, E; ENTRENA L.
- 39** *Analysis of Turbo Decoder Robustness Against SEU Effects*
Nombre del congreso: **8th European Workshop on Radiation Effects on Components and Systems (RADECS) (RADECS 2008)**
JYVÄSKYLÄ, Finlandia, 10/09/2008
M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA; B. LESTRIEZ; L. BERROJO.
- 40** *SET Emulation Considering Electrical Masking Effects*
Nombre del congreso: **8th European Workshop on Radiation Effects on Components and Systems (RADECS)**
JYVÄSKYLÄ, Finlandia, 10/09/2008
L. ENTRENA; M. GARCIA-VALDERAS; R. FERNANDEZ CARDENAL; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL.
- 41** *The Effects of Proton Irradiation on CoolRunner-II CPLD Technology*
Nombre del congreso: **8th European Workshop on Radiation Effects on Components and Systems (RADECS)**
JYVÄSKYLÄ, Finlandia, 09/2008
M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA; A. MARTIN-ORTEGA; J.R. DE MINGO; M. ALVAREZ; S. ESTEVE; S. RODRIGUEZ.
- 42** *Smart Hardening for Round-based Encryption Algorithms: Application to Advanced Encryption Standard*
Nombre del congreso: **14th IEEE International On-Line Testing Symposium (IOLTS)**
RODAS, Grecia, 07/2008
CELIA LOPEZ-ONGIL; A. JIMENEZ HORAS; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; E. SAN MILLAN; L. ENTRENA.
- 43** *SET Emulation under a Quantized Delay Model*
Nombre del congreso: **13th IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT)**
ROMA, Italia, 09/2007
CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; R. FERNANDEZ CARDENAL; L. ENTRENA.

44 *A Rapid Fault Injection Approach for Measuring SEU Sensitivity in Complex Processors*

Nombre del congreso: 13th IEEE International On-Line Testing Symposium (IOLTS'07)
CRETA, Grecia, 09/07/2007

CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; M. GARCIA-VALDERAS; L. ENTRENA.

45 *Advanced Simulation and Emulation Techniques for Fault Injection*

Nombre del congreso: 2007 IEEE International Symposium on Industrial Electronics
VIGO, España. 04/06/2007

CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; L. ENTRENA.

46 *Monitoring an Educational Innovative Experience in Electronics*

Nombre del congreso: ICIE07 (3rd International Conference on Interdisciplinarity in Education)
ATENAS, Grecia, 15/03/2007

M.C. VAZQUEZ GARCIA; CELIA LOPEZ-ONGIL; R. VERGAZ BENITO; C.M. SANZ; J. MONTALVO;
P. ZUMEL; D.S. MONTERO.

"Proceedings of ICIE07 (3rd International Conference on Interdisciplinarity in Education)". ISBN 978-960-89028-4-8

47 *Digital Control Solutions for Power Electronics Converters*

Nombre del congreso: Design of Circuits and Integrated Systems Conference, DCIS 2006
BARCELONA, España, 07/11/2006

C.M. SANZ; A. LAZARO; C. FERNANDEZ; P. ZUMEL; CELIA LOPEZ-ONGIL; A. BARRADO.

48 *Fast prototyping of control circuits for Power Electronics, based on FPGA*

Nombre del congreso: IEEE Industrial Electronics Society Conference (IECON)
PARÍS, Francia, 07/11/2006

C. FERNANDEZ; P. ZUMEL; C.M. SANZ; A. LAZARO; CELIA LOPEZ-ONGIL; A. BARRADO.

49 *An Efficient Solution to Evaluate SEU Sensitivity in Digital Circuits with Embedded RAMs*

Nombre del congreso: XXI Conference on Design of Circuits and Integrated Systems (DCIS)
BARCELONA, España, 11/2006

M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA.

50 *Two Complementary Approaches for Studying the Effects of SEUs on Digital Processors*

Nombre del congreso: Radiation Effects on Components and System Workshop (RADECS'2006)
ATENAS, Grecia, 27/09/2006

M. GARCIA-VALDERAS; P. PERONNARD; CELIA LOPEZ-ONGIL; R. ECOFFET; F. BEZERRA; R. VELAZCO.

51 *Emulation-based Fault Injection in Circuits with Embedded Memories*

Nombre del congreso: 12th International On-Line Testing Symposium (IOLTS)
COMO, Italia, 06/07/2006

M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA.

52 *Electronics I: A First Approach in European Higher Education Area*

Nombre del congreso: ICIE 2006. 2nd International Conference on Interdisciplinarity in Education.
ATENAS, Grecia, 11/05/2006

M.C. VAZQUEZ GARCIA; CELIA LOPEZ-ONGIL; R. VERGAZ BENITO; C.M. SANZ; J. MONTALVO;
P. ZUMEL.

53 *Fault Injection-based Reliability Evaluation on SoPCs*

Nombre del congreso: (ETS) **European Test Symposium**
SOUTHAMPTON, Reino Unido, 05/2006

M. SONZA REORDA; L. STERPONE; M. VIOLANTE; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL;
L. ENTRENA.

54 *A Fault Injection Environment for SoPCs Embedded Microprocessors*

Nombre del congreso: (LATW) **Latin American Test Workshop**
BUENOS AIRES, Argentina, 03/2006

M. PORTELA-GARCIA; L. STERPONE; CELIA LOPEZ-ONGIL; M. SONZA REORDA; M. VIOLANTE;
L. ENTRENA.

55 *An Extension of Transient Fault Emulation Techniques to Circuits with Embedded Memories*

Nombre del congreso: DDECS (Design & Diagnostics of Electronic Circuits and System)
PRAGA, República Checa, 01/01/2006

M. GARCIA-VALDERAS; M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; L. ENTRENA.

56 *A Unified Environment for fault injection at any design level based on emulation*

Nombre del congreso: **Radiation Effects on Components and Systems RADECS2006**
ATENAS, Grecia. 01/2006

CELIA LOPEZ-ONGIL; L. ENTRENA; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; M. A. AGUIRRE; J. TOMBS; V. BAENA; F. MUÑOZ

57 *Correlation-Based Fingerprint matching using FPGAs*

Nombre del congreso: **IEEE 2005 Conference on Field-Programmable Technology, FPT 05**
SINGAPUR, Singapur, 12/2005

A. LINDOSO, A.; L. ENTRENA; CELIA LOPEZ ONGIL; J. LIU JIMENEZ.

58 *Automatic Tools for Design Hardening*

Nombre del congreso: **1st School on Effects of Radiation on Embedded Systems for Space Applications (SERESSA)**

MANAOS, Brasil, 20/11/2005

CELIA LOPEZ-ONGIL; L. ENTRENA; M. GARCIA-VALDERAS; M. PORTELA-GARCIA

59 *Fast FPGA-Based correlation with application to fingerprint matching*

Nombre del congreso: **Design of Systems and Integrated Circuits 05, DCIS 05**
LISBOA, Portugal, 11/2005

A. LINDOSO; L. ENTRENA; CELIA LOPEZ ONGIL; J. LIU JIMENEZ.

60 *An Autonomous FPGA-Based Emulation System for Fast Fault Tolerance Evaluation*

Nombre del congreso: **15th International Conference on Field Programmable Logic and Applications**
TAMPERE, Finlandia, 24/08/2005

CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; L. ENTRENA

61 *Autonomous Transient Fault Emulation on FPGAs for Accelerating Fault Grading*

Nombre del congreso: **11th International On-Line Testing Symposium (IOLTS'05)**
SAN RAFAEL, Francia, 06/07/2005

M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; L. ENTRENA

62 *A Complete Hardening Method for The Generation of Fault Tolerant Circuits*

Nombre del congreso: **Microtechnologies for the New Millennium 2005 (VLSI Circuits and Systems II), SPIE**
SEVILLA, España, 07/05/2005

M. PORTELA-GARCIA; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; L. ENTRENA

- 63** *A Functional Validation Methodology Based on Error Models for Measuring the Quality of Digital Integrated Circuits*
Nombre del congreso: **Microtechnologies for the New Millennium 2005 (VLSI Circuits and Systems II)**, SPIE
SEVILLA, España, 07/05/2005
CELIA LOPEZ-ONGIL; L. ENTRENA; TERESA RIESGO; J. UCEDA
- 64** *A continuous time low-pass sigma delta modulator implemented with transmission lines*
Nombre del congreso: **Microelectronics for the New Millennium, Proceedings of SPIE**
SEVILLA, España,
L. HERNANDEZ; P. ROMBOUTS; E. PREFASI; S. PATON; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL.
- 65** *Techniques for Fast Transient Fault Grading Based on Autonomous Emulation*
Nombre del congreso: **Design Automation and Test in Europe (DATE)**
MUNICH, Alemania, 01/2005
CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; L. ENTRENA.
- 66** *A Jitter Insensitive Continuous-Time Sigma-Delta Modulator Using Transmission Lines*
Nombre del congreso: **11th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2004)**
TEL AVIV, Israel, 13/12/2004
L. HERNANDEZ; P. ROMBOUTS; E. PREFASI; S. PATON; M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL
- 67** *FPGA Implementation of Biometric Authentication System Based on Hand Geometry*
Nombre del congreso: **Field Programmable Logic and its Applications International Conference (FPL'04)**
AMBERES, Bélgica, 30/08/2004
CELIA LOPEZ-ONGIL; R. SANCHEZ REILLO; J. LIU JIMENEZ; F. CASADO; L. SÁNCHEZ; L. ENTRENA.
- 68** *Transient fault emulation of hardened circuits in FPGA platforms*
Nombre del congreso: **10th IEEE International On-Line Testing Symposium (IOLTS)**
MADEIRA, Portugal, 07/2004
M. GARCIA-VALDERAS; CELIA LOPEZ-ONGIL; M. PORTELA-GARCIA; L. ENTRENA.
- 69** *Analysis of Transient Fault Emulation Techniques in Platform FPGAs*
Nombre del congreso: **XVIII Design of Circuits and Integrated Systems (DCIS'04)**
BURDEOS, Francia, 01/2004
M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; L. ENTRENA.
- 70** *Técnicas para emulación de fallos transitorios en plataformas FPGAs*
Nombre del congreso: **Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 04)**
BARCELONA, España, 01/2004
CELIA LOPEZ-ONGIL; M. GARCIA-VALDERAS; M. PORTELA-GARCIA; L. ENTRENA.
- 71** *A VHDL Design for Biometric Authentication based on Hand Geometry*
Nombre del congreso: **XVIII Conference on Design of Circuits and Integrated Systems (DCIS'2003)**
CIUDAD REAL, España, 19/11/2003
CELIA LOPEZ-ONGIL; R. SANCHEZ REILLO; V. ZATO.; L. SANCHEZ; L. ENTRENA
- 72** *Analysis of the Equivalences and Dominances of Transient Faults at the RT Level*
Nombre del congreso: **International On-Line Testing Workshop (IOLTW'02)**
Bendor, Francia 08/07/2002
L. BERROJO; I. GONZALEZ; L. ENTRENA; CELIA LOPEZ-ONGIL; F. CORNO; M. SONZA REORDA; G. SQUILLERO.

- 73** *An initiative for promoting the knowledge of Fault Tolerant design methodology within a collaborative IP design*
Nombre del congreso: **4th European Workshop on Microelectronics Education (EWME)**
PONTEVEDRA, España, 23/05/2002
CELIA LOPEZ-ONGIL; L. ENTRENA; E. OLIAS; M.A. PASTOR; D. CEREZO.
- 74** *An industrial Environment for High Level Fault Tolerant Structures Insertion and Validation*
Nombre del congreso: **VLSI Test Symposium (VTS)**
Monterey, California, Estados Unidos de América, 28/04/2002
L. BERROJO; F. CORNO; L. ENTRENA; I. GONZALEZ; CELIA LOPEZ-ONGIL; M. SONZA REORDA; G. SQUILLERO.
- 75** *New Techniques for Speeding-Up Fault-Injection Campaigns*
Nombre del congreso: **Design Automation and Test in Europe (DATE'02)**
París, Francia, 04/03/2002
L. BERROJO; I. GONZALEZ; F. CORNO; M. SONZA REORDA; G. SQUILLERO; L. ENTRENA; CELIA LOPEZ-ONGIL.
- 76** *VHDL Automatic Modification for Obtaining Fault Tolerant RTL Designs*
Nombre del congreso: **XVI Design of Circuits and Integrated Systems (DCIS'01)**
Oporto, Portugal, 20/11/2001
CELIA LOPEZ-ONGIL; L. ENTRENA; OLIAS, E.
- 77** *Automatic Generation of Fault Tolerant VHDL Designs in RTL*
Nombre del congreso: **4th Forum on Design Languages (FDL)**
Lyon, Francia. 03/09/2001
L. ENTRENA; CELIA LOPEZ-ONGIL; OLIAS, E.
- 78** *Automatic Insertion of Fault-Tolerant Structures at the RT Level*
Nombre del congreso: **International On-Line Testing Workshop (IOLTW'01)**
Taormina, Italia. 09/07/2001
L. ENTRENA; CELIA LOPEZ-ONGIL; OLIAS, E.
- 79** *Logic Optimization of Unidirectional Circuits with Structural Methods*
Nombre del congreso: **International On-Line Testing Workshop (IOLTW'01)**
SICILIA, Italia. 09/07/2001
L. ENTRENA; CELIA LOPEZ-ONGIL; OLIAS, E.; E. SAN MILLAN; ESPEJO, J. A.
- 80** *Application of Fault Simulation Techniques to Design Validation Quality Measurement*
Nombre del congreso: **XV Design of Circuits and Integrated Systems (DCIS'00)**
Montpellier, Francia. 21/11/2000
CELIA LOPEZ-ONGIL; T. RIESGO; Y. TORROJA; J. UCEDA; L. ENTRENA.
- 81** *Low Power Design in FPGA: A case study*
Nombre del congreso: **XV Design of Circuits and Integrated Systems (DCIS'00)**
Montpellier, Francia. 21/11/2000
L. MENGÍBAR POZO; CELIA LÓPEZ-ONGIL; M. GARCÍA LORENZ; L. ENTRENA; L. BERROJO.
- 82** *Application of VHDL Features for Optimization of Functional Validation Quality Measurement*
Nombre del congreso: **3rd Forum on design Languages (FDL'00)**
Tübingen, Alemania. 02/11/2000
CELIA LOPEZ-ONGIL; T. RIESGO; Y. TORROJA; J. UCEDA; L. ENTRENA

**83** *ARDID: A Tool for the Quality Analysis of VHDL Based Designs*

Nombre del congreso: **Forum on Design Languages (FDL)**

LYON, Francia. 10/09/1999

Y. TORROJA; CELIA LOPEZ-ONGILM. GARCIA-VALDERAS; T. RIESGO; E. DE LA TORRE; J. UCEDA;

84 *A Design Methodology for The Development of a High-Performance DSP*

Nombre del congreso: **XIII Design of Circuits and Integrated Systems Conference (DCIS)**

MADRID, España. 05/11/1998

Y. TORROJA; CELIA LOPEZ-ONGIL; J.L. RUIZ; J.L. GARCIA; J. UCEDA.

85 *A Method to Perform Error Simulation*

Nombre del congreso: **XIII Design of Circuits and Integrated Systems Conference**

MADRID, España. 05/11/1998

CELIA LOPEZ-ONGIL; T. RIESGO; Y. TORROJA; E. DE LA TORRE. J. UCEDA

86 *An Error Simulator to Estimate the Quality of Design Validation Experiments*

Nombre del congreso: **VHDL Users Forum in Europe (VUFE)**

LAUSSANE, Suiza. 13/09/1998

CELIA LOPEZ-ONGIL; T. RIESGO; Y. TORROJA; E. DE LA TORRE; J. UCEDA.

87 *A Set of Tools to Help in the VHDL Design Flow of Complex Systems*

Nombre del congreso: **XII Conference on Design of Integrated Circuits and Systems (DCIS'97)**

SEVILLA, España, 10/11/1997

Y. TORROJA; CELIA LOPEZ-ONGIL; T. RIESGO; J. UCEDA.

88 *Estimation of the Quality of Design Validation Experiments Based on Error Models*

Nombre del congreso: **VHDL Users Forum in Europe**

TOLEDO, España, 21/04/1997

T. RIESGO; Y. TORROJA; CELIA LOPEZ-ONGIL; J. UCEDA.

Trabajos presentados en jornadas, seminarios, talleres de trabajo y/o cursos nacionales o internacionales

Nombre del evento: *Design and Assessment of Fault Tolerant Circuits under Radiation Effects*

Curso en la Universidad de las Palmas de Gran Canaria. 10-11 de octubre 2015.

MARTA PORTELA-GARCIA, CELIA LOPEZ-ONGIL

Nombre del evento: *Tutorial: Assessing and implementing the fault tolerance of digital circuits*

MADRID, España, 26/11/2014

M. PORTELA-GARCIA; CELIA LOPEZ-ONGIL.

Nombre del evento: **School on Effects of Radiation on Embedded Systems for Space Applications (SERESSA).**

Lecture: *Fault Injection Methodologies: Theoretical Aspects*

Ediciones: 2012-Ansán (Corea del Sur); MARTA PORTELA-GARCIA, CELIA LOPEZ-ONGIL

2013-Moscú (Rusia); A. VASKOVA, CELIA LOPEZ-ONGIL

2015-Bariloche (Argentina); CELIA LOPEZ-ONGIL

Lecture: *Automatic Tools for Design Hardening*

Ediciones: 2005-Manaos (Brasil); CELIA LOPEZ-ONGIL

2006-Sevilla (España); MARTA PORTELA-GARCIA, CELIA LOPEZ-ONGIL

Gestión de I+D+i y participación en comités científicos

Comités científicos, técnicos y/o asesores

- 1** *Miembro del Comité de Programa de la conferencia "Design of Circuits and Integrated Systems" (DCIS)*
Fecha de inicio: 01/08/2018
- 2** *Directora Científica del Centro Mixto Airbus-UC3M*
Entidad de afiliación: AIRBUS GROUP
Fechas: (2013-2016)
- 3** *Comité Científico de congreso internacional "Latin American Test Workshop" (LATS) del Test Technology Technical Council de IEEE*
Fechas: 2011-2018
- 4** *Miembro del comité de programa del congreso internacional "International Online Testing Symposium" (IOLTS) del Test Technology Technical Council de IEEE*
Fecha de inicio: 01/2011
- 5** *Comité de Programa de congreso European Microtechnologies for the New Millenium*
Entidad de afiliación: SPIE
Fecha: 2009-2013
- 6** *Comité científico del congreso "Seminario Anual de Automática, Electrónica Industrial e Instrumentación" 2009*
Entidad de afiliación: Grupo de Sistemas Electrónicos de Potencia de la UC3M
Fecha: 06/2009
- 7** *Comité Organizador del Workshop EEPOCH*
Fecha: 02/2003
- 8** *Comité Local del congreso Design of Circuits and Integrated Systems*
Fecha: 01/11/1998
- 9** *I Jornadas de Microelectrónica*
Fecha cio: 01/07/1997
- 10** *Organización del Seminario sobre "Open Micropocessor Initiative"*
Fecha: 01/01/1997
- 11** *1st Workshop on Best Practice in Electronic Systems Design*
Fecha: 01/01/1996

Organización de actividades de I+D+i

- 1** *Título de la actividad: Metodologías de diseño y ensayo de circuitos integrados para aplicaciones aeroespaciales*
Tipo de actividad: WORKSHOPS **Ámbito geográfico:** Nacional
Marco: Actividad de Difusión de los Resultados de Investigación en Proyecto Nacional RENASER+
Fecha de inicio-fin: 23/10/2013 - 23/10/2013
- 2** *Título de la actividad: eEpoch 1st Conference on Policy Statements, Business Cases & Management Guidelines*
Tipo de actividad: WORKSHOPS
Fecha de inicio-fin: 01/02/2003 - 28/02/2003



Otros méritos

Estancias en centros de I+D+i públicos o privados

- 1 Entidad de realización:** POLITECNICO DI TORINO . ITALIA
Ciudad entidad realización: TURIN, Italia
Fecha de inicio-fin: 21/06/2017 - 22/06/2017 **Duración:** 2 días
Objetivos de la estancia: P
Tareas contrastables: Movilidad ERASMUS-PDI
- 2 Entidad de realización:** POLITECNICO DI TORINO. ITALIA
Ciudad entidad realización: TURIN, Italia
Fecha de inicio-fin: 30/05/2016 - 01/06/2016 **Duración:** 2 días
Objetivos de la estancia: Programa de movilidad para personal docente e investigador, financiado por la UE
Tareas contrastables: Movilidad ERASMUS-PDI
- 3 Entidad de realización:** POLITECNICO DI TORINO. ITALIA
Ciudad entidad realización: TURNI, Italia
Fecha de inicio-fin: 09/06/2015 - 10/06/2015 **Duración:** 2 días
Objetivos de la estancia: Programa de movilidad para personal docente e investigador, financiado por la UE
Tareas contrastables: Movilidad ERASMUS-PDI
- 4 Entidad de realización:** POLITECNICO DI TORINO. ITALIA
Ciudad entidad realización: TURIN, Italia
Fecha de inicio-fin: 12/05/2014 - 13/05/2014 **Duración:** 2 días
Objetivos de la estancia: Programa de movilidad para personal docente e investigador, financiado por la UE
Tareas contrastables: Movilidad ERASMUS-PDI
- 5 Entidad de realización:** POLITECNICO DI TORINO. ITALIA
Ciudad entidad realización: TURIN, Italia
Fecha de inicio-fin: 10/04/2013 - 11/04/2013 **Duración:** 2 días
Nombre del programa: MOVILIDAD ERASMUS PDI
Objetivos de la estancia: Programa de movilidad para personal docente e investigador, financiado por la UE
Tareas contrastables: Movilidad ERASMUS-PDI.
- 6 Entidad de realización:** Politecnico de Turin
Ciudad entidad realización: Politecnico de Turin, Italia
Fecha de inicio-fin: 01/07/2001 - 15/08/2001 **Duración:** 1 mes + 14 días
Objetivos de la estancia: Investigacion en el seno de Proyecto Europeo AMATISTA
Tareas contrastables: Búsqueda de técnicas para la optimización del proceso de simulación de fallos en el desarrollo de circuitos integrados digitales tolerantes a fallos. Publicaciones en conferencias internacionales.



Ayudas y becas obtenidas

- 1** Nombre de la ayuda: **PROGRAMA DE FORMACIÓN DE PERSONAL INVESTIGADOR DE LA COMUNIDAD DE MADRID**
Finalidad: **Predoctoral**
Entidad concesionaria: CAM. CONSEJERÍA DE EDUCACIÓN E INVESTIGACION
Fecha de concesión: 01/09/1996 Duración: 2 años - 1 mes
Fecha de finalización: 01/10/1998
Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID
Facultad, instituto, centro: ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES DE MADRID
- 2** Nombre de la ayuda: **Becaria de Doctorado de la Universidad Politécnica de Madrid**
Finalidad: **Predoctoral**
Entidad concesionaria: UNIVERSIDAD POLITECNICA DE MADRID
Fecha de concesión: 11/10/1995 Duración: 10 meses - 20 días
Fecha de finalización: 31/08/1996
Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID
- 3** Nombre de la ayuda: **Becaria de Proyecto Fin de Carrera**
Finalidad: **Pregrado**
Entidad concesionaria: UNIVERSIDAD POLITECNICA DE MADRID
Duración: 2 años - 1 mes
Fecha de finalización: 30/09/1995
Entidad de realización: UNIVERSIDAD POLITECNICA DE MADRID
Facultad, instituto, centro: ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES DE MADRID

Períodos de actividad investigadora

Nº de tramos reconocidos: 2

Resumen de otros méritos

- 1 Representante electa de Profesores Titulares y Catedráticos en el Claustro de la Universidad Carlos III de Madrid**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2002-2006, 2014-presente
- 2 Representante electa de Profesores Titulares y Catedráticos en Junta de Escuela de la Escuela Politécnica Superior**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2007-2012 y 2016-presente
- 3 Secretaria del Departamento de Tecnología Electrónica**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 10/2013-01/2017
- 4 Directora Científica del Centro Mixto EADS-UC3M**
Entidad acreditante: Vicerrectorado de Política Científica. Universidad Carlos III de Madrid.
Fecha: 2013-2016
- 5 Subdirectora de Organización Docente**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2011-2013
- 6 Miembro de la Comisión Académica del Departamento de Tecnología Electrónica, según acuerdo del Consejo del Departamento**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2006-2008
- 7 Responsable de Gestión de Biblioteca del Departamento de Tecnología Electrónica de la Universidad Carlos III de Madrid**
Entidad acreditante: Universidad Carlos III de Madrid
Fechas: 2001/2004
- 8 Diseño y mantenimiento de la página Web del Grupo de Diseño Microelectrónico y Aplicaciones.**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2001-2004
- 9 Responsable de Gestión y Organización del laboratorio de Investigación de Microelectrónica**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 1999-2002
- 10 Revisor de artículos en congreso internacional (Design of Circuit and Integrated Systems, DCIS)**
Fechas: Desde 01/01/2006
- 11 Revisora de artículos para las revistas "IEEE Transactions of Computers", "Elsevier Microelectronics Reliability" "Integration: the VLSI Journal", entre otras.**
Fecha de concesión: 01/01/2006
- 12 Revisora de solicitudes de proyectos de investigación para Agencia Nacional de Evaluación y Prospectiva**
Fechas: 2005/2006
- 13 Representante del dpto. de Tecnología Electrónica para la Comisión Académica de la Titulación de Ing. Industrial de la Escuela Politécnica Superior de la UC3M**
Entidad acreditante: Universidad Carlos III de Madrid
Fecha: 2005-2008
- 14 Chairperson en congreso nacional JCRA (Jornadas de computación reconfigurable). Año 2003 y 2008.**
Fecha de concesión: 01/09/2003
- 15 Chairperson en congreso internacional DCIS. Años 2000, 2001, 2003, 2004, 2006 y 2010**
- 16 Chairperson en el congreso internacional EMT. Año 2009**
- 17 Chairperson en congreso internacional IOLTS en el año 2009 y 2010**